

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-164854

(43) 公開日 平成10年(1998) 6月19日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

H 0 2 M 7/48

H 0 2 M 7/48

M

H 0 2 H 7/122  
9/04

H 0 2 H 7/122  
9/04

Q

Z

B

審査請求 未請求 請求項の数 6 O L (全 8 頁)

(21) 出願番号 特願平8-315822

(22) 出願日 平成8年(1996)11月27日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 大出 宏

茨城県日立市大みか町五丁目2番1号 株  
式会社日立製作所大みか工場内

(72) 発明者 相山 繁

茨城県日立市大みか町五丁目2番1号 株  
式会社日立製作所大みか工場内

(72) 発明者 岡松 茂俊

茨城県日立市大みか町五丁目2番1号 株  
式会社日立製作所大みか工場内

(74) 代理人 弁理士 鶴沼 辰之

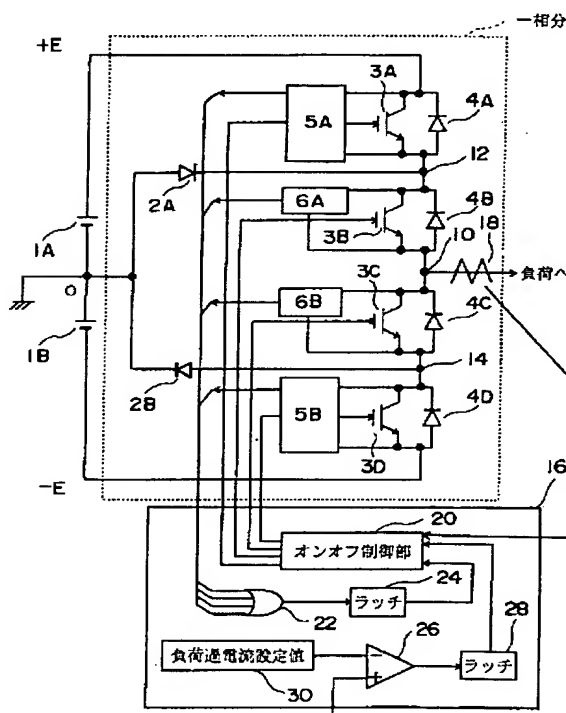
最終頁に続く

(54) 【発明の名称】 電力変換器

(57) 【要約】

【課題】 スイッチング素子に過電圧が印加されるのを防止すること。

【解決手段】 トランジスタ3A～3Dを流れる電流をそれぞれ短絡検出・遮断回路5A、5Bと短絡検出回路6A、6Bで監視して電源短絡を検出し、電源短絡検出時には、短絡検出・遮断回路5A、5Bの遮断動作およびゲート制御部16からのゲート信号に従って、トランジスタ3A、3Dを通常のタイミングよりも遅いタイミングでオフにし、その後、トランジスタ3B、3Cのうち一方をオンに、他方を、通常のタイミングよりも遅いタイミングでオフにする。



BEST AVAILABLE COPY

## 【特許請求の範囲】

【請求項 1】 互いに直列接続された複数の直流電源の正側端子と負荷に接続される出力端子との間に挿入されて互いに直列に接続された正側主スイッチング素子および正側補助スイッチング素子と、前記直流電源の負側端子と前記出力端子との間に挿入されて互いに直列に接続された負側主スイッチング素子および負側補助スイッチング素子と、正側主スイッチング素子と正側補助スイッチング素子との正側接続点をカソード側とし、前記複数の直流電源が互いに直列接続された中性点をアノード側として前記正側接続点と前記中性点とに接続された正側整流素子と、負側主スイッチング素子と負側補助スイッチング素子との負側接続点をアノード側とし、前記中性点をカソード側として前記負側接続点と前記中性点とに接続された負側整流素子と、前記各スイッチング素子に逆並列接続された複数のフリーホイール整流素子と、制御パターンモードに従ったタイミングで各スイッチング素子のスイッチング動作を制御して 3 レベルの変換出力を発生させるスイッチング制御手段とを備え、前記正側主スイッチング素子が前記直流電源の正側端子に接続され、前記正側補助スイッチング素子が前記出力端子に接続され、前記負側主スイッチング素子が前記直流電源の負側端子に接続され、前記負側補助スイッチング素子が前記出力端子に接続された電力変換器において、負荷電流の異常を検出する負荷電流異常検出手段と、負荷電流異常検出手段の検出出力に応答して制御パターンモードによらず前記正側主スイッチング素子と前記負側主スイッチング素子をオフにするとともにその後前記正側補助スイッチング素子と負側補助スイッチング素子のうち一方をオンに他方をオフにする補助スイッチング制御手段とを備えていることを特徴とする電力変換器。

【請求項 2】 互いに直列接続された複数の直流電源の正側端子と負荷に接続される出力端子との間に挿入されて互いに直列に接続された正側主スイッチング素子および正側補助スイッチング素子と、前記直流電源の負側端子と前記出力端子との間に挿入されて互いに直列に接続された負側主スイッチング素子および負側補助スイッチング素子と、正側主スイッチング素子と正側補助スイッチング素子との正側接続点をカソード側とし、前記複数の直流電源が互いに直列接続された中性点をアノード側として前記正側接続点と前記中性点とに接続された正側整流素子と、負側主スイッチング素子と負側補助スイッチング素子との負側接続点をアノード側とし、前記中性点をカソード側として前記負側接続点と前記中性点とに接続された負側整流素子と、前記各スイッチング素子に逆並列接続された複数のフリーホイール整流素子と、制御パターンモードに従ったタイミングで各スイッチング素子のスイッチング動作を制御して 3 レベルの変換出力を発生させるスイッチング制御手段とを備え、前記正側主スイッチング素子が前記直流電源の正側端子に接続

され、前記正側補助スイッチング素子が前記出力端子に接続され、前記負側主スイッチング素子が前記直流電源の負側端子に接続され、前記負側補助スイッチング素子が前記出力端子に接続された電力変換器において、前記複数の直流電源のうち少なくとも一方の直流電源の短絡を検出する短絡検出手段と、短絡検出手段の検出出力に応答して制御パターンモードによらず前記正側主スイッチング素子と前記負側主スイッチング素子をオフにするとともにその後前記正側補助スイッチング素子と負側補助スイッチング素子のうち一方をオンに他方をオフにする補助スイッチング制御手段とを備えていることを特徴とする電力変換器。

【請求項 3】 互いに直列接続された複数の直流電源の正側端子と負荷に接続される出力端子との間に挿入されて互いに直列に接続された正側主スイッチング素子および正側補助スイッチング素子と、前記直流電源の負側端子と前記出力端子との間に挿入されて互いに直列に接続された負側主スイッチング素子および負側補助スイッチング素子と、正側主スイッチング素子と正側補助スイッチング素子との正側接続点をカソード側とし、前記複数の直流電源が互いに直列接続された中性点をアノード側として前記正側接続点と前記中性点とに接続された正側整流素子と、負側主スイッチング素子と負側補助スイッチング素子との負側接続点をアノード側とし、前記中性点をカソード側として前記負側接続点と前記中性点とに接続された負側整流素子と、前記各スイッチング素子に逆並列接続された複数のフリーホイール整流素子と、制御パターンモードに従ったタイミングで各スイッチング素子のスイッチング動作を制御して 3 レベルの変換出力を発生させるスイッチング制御手段とを備え、前記正側主スイッチング素子が前記直流電源の正側端子に接続され、前記正側補助スイッチング素子が前記出力端子に接続され、前記負側主スイッチング素子が前記直流電源の負側端子に接続され、前記負側補助スイッチング素子が前記出力端子に接続された電力変換器において、前記複数の直流電源のうち少なくとも一方の直流電源の短絡を検出する短絡検出手段と、負荷電流の異常を検出する負荷電流異常検出手段と、短絡検出手段の検出出力と負荷電流異常検出手段の検出出力のうち少なくとも一方の検出出力に応答して制御パターンモードによらず前記正側主スイッチング素子と前記負側主スイッチング素子をオフにするとともにその後前記正側補助スイッチング素子と負側補助スイッチング素子のうち一方をオンに他方をオフにする補助スイッチング制御手段とを備えていることを特徴とする電力変換器。

【請求項 4】 補助スイッチング制御手段は、短絡検出手段による短絡検出時にはオフすべきスイッチング素子を制御パターンモードによって設定されたタイミングよりも遅いタイミングでオフしてなることを特徴とする請求項 1、2 または 3 記載の電力変換器。

【請求項5】 補助スイッチング制御手段は、短絡検出手段による短絡検出時には、制御パターンモードまたは負荷電流の方向を判別し、この判別結果を基に、正側補助スイッチング素子と負側補助スイッチング素子のうち一方をオンに他方をオフにしてなることを特徴とする請求項1、2、3または4記載の電力変換器。

【請求項6】 短絡検出手段は、各スイッチング素子の電流が負荷電流異常値よりも大きいことをそれぞれ検出する複数の電流検出手段から構成されてなることを特徴とする請求項1、2、3、4または5記載の電力変換器。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】 本発明は、電力変換器に係り、特に、3レベルインバータとして用いるに好適な電力変換器に関する。

##### 【0002】

【従来の技術】 インバータとしては、1相あたり2個のスイッチング素子を設けたものと、1相あたり4個のスイッチング素子を設けたいわゆる3レベルインバータが知られている。3レベルインバータは、4個のスイッチング素子のうち3個のスイッチング素子が同時にオンになると電源短絡となってスイッチング素子を損傷する恐れがあるところから、電源短絡等からスイッチング素子を保護するための機能を備えたものが提案されている。例えば、特開平6-327262号公報に記載されているように、直流母線の高圧側に接続されたスイッチング素子の電流と、低圧側に接続されたスイッチング素子の電流をそれぞれ検出する電流検出手段を設け、いずれかの電流検出手段によって過電流が検出されたときには、4個のスイッチング素子のうち直流母線の高圧側に接続されたスイッチング素子と直流母線の低圧側に接続されたスイッチング素子とともにオフにし、その後、出力端子側に接続された2個のスイッチング素子をオンにするものが提案されている。このような構成を採用すると、過電流が検出されたときでも、単一のスイッチング素子に直流母線（直流電源）の全電圧が印加されるのを防止することができる。

##### 【0003】

【発明が解決しようとする課題】 従来技術では、過電流検出時に、直流電源に直接接続された2個のスイッチング素子をオフにした後、出力端子に直接接続された2個のスイッチング素子とともにオンにしているため、このとき、直流電源に直接接続されたスイッチング素子がブレークダウンすると、電源短絡の継続によってスイッチング素子の損傷が拡大する恐れがある。また電源短絡が発生したときには、スイッチング素子には過大な電流が流れるが、このときスイッチング素子を高速で遮断すると、 $di/dt$ が大きいので、配線インダクタンスによって発生する過電圧によってスイッチング素子がブレー

クダウンする恐れがある。

【0004】 本発明の目的は、異常時にスイッチング素子に過電圧が印加されるのを防止することができる電力変換器を提供することにある。

##### 【0005】

【課題を解決するための手段】 前記目的を達成するために、本発明は、互いに直列接続された複数の直流電源の正側端子と負荷に接続される出力端子との間に挿入されて互いに直列に接続された正側主スイッチング素子および正側補助スイッチング素子と、前記直流電源の負側端子と前記出力端子との間に挿入されて互いに直列に接続された負側主スイッチング素子および負側補助スイッチング素子と、正側主スイッチング素子と正側補助スイッチング素子との正側接続点をカソード側とし、前記複数の直流電源が互いに直列接続された中性点をアノード側として前記正側接続点と前記中性点とに接続された正側整流素子と、負側主スイッチング素子と負側補助スイッチング素子との負側接続点をアノード側とし、前記中性点をカソード側として前記負側接続点と前記中性点とに接続された負側整流素子と、前記各スイッチング素子に逆並列接続された複数のフリーホイール整流素子と、制御パターンモードに従ったタイミングで各スイッチング素子のスイッチング動作を制御して3レベルの変換出力を発生させるスイッチング制御手段とを備え、前記正側主スイッチング素子が前記直流電源の正側端子に接続され、前記正側補助スイッチング素子が前記出力端子に接続され、前記負側主スイッチング素子が前記直流電源の負側端子に接続され、前記負側補助スイッチング素子が前記出力端子に接続された電力変換器において、負荷電流の異常を検出する負荷電流異常検出手段と、負荷電流異常検出手段の検出出力に応答して制御パターンモードによらず前記正側主スイッチング素子と前記負側主スイッチング素子をオフにするとともにその後前記正側補助スイッチング素子と負側補助スイッチング素子のうち一方をオンに他方をオフにする補助スイッチング制御手段とを備えていることを特徴とする電力変換器を構成したものである。

【0006】 電力変換器を構成するに際しては、負荷電流異常検出手段の代わりに、複数の直流電源のうち少なくとも一方の直流電源の短絡を検出する短絡検出手段を設け、補助スイッチング制御手段として、短絡検出手段の検出出力に応答して制御パターンモードによらず、正側スイッチング素子と負側主スイッチング素子をオフにするとともに、その後、正側補助スイッチング素子と負側補助スイッチング素子のうち一方をオンに他方をオフにする機能を備えたもので構成することができる。

【0007】 また電力変換器を構成するに際しては、前記負荷電流異常検出手段と、短絡検出手段と、短絡検出手段と負荷電流異常検出手段の検出出力に応答して各主スイッチング素子とともにオフにするとともに、その

後、各補助スイッチング素子のうち一方をオンに、他方をオフにする機能を備えたもので構成することができる。

【0008】前記各電力変換器を構成するに際しては、以下の要素を負荷することができる。(1)補助スイッチング制御手段は、短絡検出手段による短絡検出時にはオフすべきスイッチング素子を制御パターンのモードによって設定されたタイミングよりも遅いタイミングでオフしてなる。

【0009】(2)補助スイッチング制御手段は、短絡検出手段による短絡検出時には、制御パターンのモードまたは負荷電流の方向を判別し、この判別結果を基に、正側補助スイッチング素子と負側補助スイッチング素子のうち一方をオンに他方をオフにしてなる。

【0010】(3)短絡検出手段は、各スイッチング素子の電流が負荷電流異常値よりも大きいことをそれぞれ検出する複数の電流検出手段から構成されてなる。

【0011】前記した手段によれば、負荷電流の異常時、直流電源の短絡検出時には、各主スイッチング素子がともにオフに制御されるとともに、その後、各補助スイッチング素子のうち一方がオンに、他方がオフに制御されるので、この制御の過程で、主スイッチング素子のいずれかがブレイクダウンしても、オフとなった補助スイッチング素子によって電源短絡が防止される。このため、スイッチング素子に過電圧が印加されるのを防止することができる。また電源短絡検出時には、制御パターンのモードに従ったタイミングよりも遅いタイミングでスイッチング素子をオフすることで、配線インダクタンスにより発生する過電圧によってスイッチング素子がブレイクダウンするのを防止することができる。

【0012】

【発明の実施の形態】以下、本発明の一実施形態を図面に基づいて説明する。

【0013】図1は本発明の一実施形態を示す電力変換器の全体構成図である。図1において、電力変換器は、3相用の3レベルインバータとして構成されており(但し、図1では1相分のみの構成を示している。)、直流電源1A、1Bに接続されている。直流電源1A、1Bはそれぞれ互いに直列に接続され、直列接続点が中性点Oとして接地されている。そして直流電源1Aの正側端子と直流電源1Bの負側端子との間に、自己消弧型スイッチング素子として4個のIGBT(Insulated Gate Bipolar Transistor:以下、単にトランジスタと称する。)3A、3B、3C、3Dが互いに直列に接続されて挿入されている。トランジスタ3Aは正側主スイッチング素子として、正側補助スイッチング素子としてのトランジスタ3Bと互いに直列されており、トランジスタ3Aのコレクタが直流電源1Aの正側端子に接続され、トランジスタ3Bのエミッタが出力端子10に接続されている。またトラン

ジスタ3Aと3Bとの直列接続点となる正側接続点12には、中性点Oに接続されたクランプダイオード2Aが接続されている。トランジスタ3Cは負側補助スイッチング素子として、負側主スイッチング素子としてのトランジスタ3Dと互いに直列に接続されており、トランジスタ3Cのコレクタが出力端子10に接続され、トランジスタ3Dのエミッタが直流電源1Bの負側端子に接続されている。またトランジスタ3Cと3Dとの直列接続点となる負側接続点14には、中性点Oに接続されたクランプダイオード2Bが接続されている。さらに各トランジスタ3A~3Dにはフリーホイール整流素子としてのフリーホイールダイオード4A~4Dが逆並列接続されている。

【0014】トランジスタ3A、3Dにはそれぞれ短絡検出・遮断回路5A、5Bがそれぞれ設けられており、トランジスタ3B、3Cにはそれぞれ短絡検出回路6A、6Bがそれぞれ設けられている。短絡検出・遮断回路5A、5Bはそれぞれトランジスタ3A、3Dの正負電極間の電圧(コレクタとエミッタ間の電圧)に対応した電流を基に各トランジスタ3A、3Dに流れる電流が負荷電流異常値よりも大きいことを検出する電流検出手段としての機能を備えているとともに、電流検出手段の検出値から電源短絡を検出する短絡検出手段としての機能を備えている。さらに短絡検出・遮断回路5A、5Bは、短絡検出時に、ゲート制御部16の制御パターンのモードで設定されたタイミングよりも遅いタイミングでトランジスタ3A、3Dを遮断する機能を備えている。

【0015】一方、短絡検出回路6A、6Bは、トランジスタ3B、3Cの正負主電極間(エミッタとコレクタ間の電圧)の電圧に対応した電流が負荷電流異常値よりも大きいことを検出する電流検出手段としての機能を備えているとともに、電流検出手段の検出出力から電源短絡を検出する短絡検出手段としての機能を備えている。そして短絡検出・遮断回路5A、5Bと短絡検出回路6A、6Bはそれぞれゲート制御部16に接続されている。このゲート制御部16には、出力端子10と負荷とを結ぶ回路を流れる電流を検出する負荷電流検出器18の検出電流が入力されている。

【0016】ゲート制御部16は、オンオフ制御部20、ORゲート22、ラッチ回路24、比較器26、ラッチ回路28を備えて構成されている。ORゲート22には短絡検出・遮断回路5A、5Bと短絡検出回路6A、6Bの検出出力が入力されており、いずれかの検出出力に応答してハイレベルの信号をラッチ回路24を介してオンオフ制御部20に出力するようになっている。比較器26は負荷過電流設定値(負荷電流異常値)30と負荷電流検出器18の検出電流とを比較し、検出電流が負荷過電流設定値30を越えたときに負荷電流の異常を示すハイレベルの信号をラッチ回路28を介してオンオフ制御部20に出力するようになっている。すなわち

負荷電流検出器 18、比較器 26 は負荷電流検出手段として構成されている。

【0017】オンオフ制御部 20 は、短絡検出・遮断回路 5A、5B を介してトランジスタ 3A、3D のゲートに接続されているとともに、トランジスタ 3B、3C のゲートに直接接続されている。このオンオフ制御部 20 は、制御パターンのモードにしたがったタイミングで各トランジスタ 3A～3D のスイッチング動作を制御して 3 レベルの変換出力を発生させるスイッチング制御手段として構成されている。例えば、図 2 に示すように、モード 1 では、トランジスタ 3D をオフにし、トランジスタ 3B をオンにした状態で、トランジスタ 3A、3C を交互にオンオフ制御し、モード 2 では、トランジスタ 3A をオフにし、トランジスタ 3C をオンにした状態で、トランジスタ 3B、3D を交互にオンオフ制御し、出力端子 10 に交流の正弦波信号を発生させるようになっている。

【0018】またオンオフ制御部 20 は、短絡検出・遮断回路 5A、5B のうち遮断回路とともに補助スイッチング手段として構成されており、ラッチ回路 24、28 からの検出出力にตอบสนองして、制御パターンのモードによらずトランジスタ 3A、3D をオフにするとともに、その後、トランジスタ 3B、3C のうち一方をオンに、他方をオフに制御するようになっている。そしてオンオフ制御部 20 のうちトランジスタ 3B、3C のゲートにゲート信号を供給する回路には、制御回路 32 が設けられているとともに、時定数回路として、ダイオード D1、抵抗 R1、R2、R3、スイッチ S1、コンデンサ C1 が設けられている。スイッチ S1 は正常動作時にはオンになっており、トランジスタ 3B、3C をオンにするときのゲート信号はダイオード D1、抵抗 R1、R2、R3、スイッチ S1、コンデンサ C1 を介して各トランジスタに供給される。このとき抵抗 R1、R2、R3 は並列接続され、抵抗 R1、R3 が小さいので時定数は小さくなる。そしてトランジスタ 3B、3C を正常時にオフにするときには、ゲート信号は負の電圧となるため、抵抗 R2、R3 のみが並列接続された状態となるが、抵抗 R3 の抵抗値が小さいので、時定数は小さい。

【0019】一方、短絡検出時には、スイッチ S1 がオフとなるため、短絡検出時にトランジスタ 3B、3C をオフにするときには、負の電圧となるゲート信号の時定数は抵抗 R2 とコンデンサ C1 で定まり、この時定数は正常時におけるオフの時定数よりも大きくなる。このため、短絡時に、トランジスタ 3B、3C をオフにするときには、大電流を遮断する場合でも、正常時に比べて遅いタイミングでオフになり、トランジスタ 3B、3C を安全に遮断することができる。

【0020】次に、図 1 に示す 3 レベルインバータの動作を図 4 および図 5 に従って説明する。

【0021】まず、3 レベルインバータが図 2 に示すモ

ード 1 に従って動作しているときには、図 4 (A) に示すように、トランジスタ B がオンになっている状態で、トランジスタ 3A、3C が交互にオンオフする。このとき電流 I<sub>L</sub> はインバータから負荷に向かって流れる。そしてトランジスタ 3B、3C がオンしているときに、トランジスタ 3A がブレイクダウンすると、図 4 (B) に示すように、トランジスタ 3A、3B、3C が全てオンになるので、直流電源 1A の両端が短絡したことになる。電源短絡が生じ、短絡検出・遮断回路 5A、短絡検出回路 6A、6B のうちいずれかによって電源の短絡が検出されると、トランジスタ 3A、3B をオフにした後、制御パターンのモードで指定されたタイミングよりも遅いタイミングで、トランジスタ 3C がオフになる。このときトランジスタ 3B はオン状態に維持される。すなわち、トランジスタ 3B、3C のうちいずれかをオンに、いずれかをオフにするに際して、制御パターンのモードの判別または負荷電流が出力端子 10 から負荷側に流れていることを判別してトランジスタ 3C をオフにする。トランジスタ 3C が遮断された後は、図 4 (B) に示すような状態で電流が流れる。このため、トランジスタ 3B、3C がオンになっているときに、トランジスタ 3A がブレイクダウンしても、トランジスタ 3C がオフになるので、直流電源 1A の両端が短絡するという電源短絡が継続されるのを防止することができ、トランジスタ 3A のブレイクダウンによって他のトランジスタが連鎖的に破壊するのを防止することができる。すなわちトランジスタ 3A のブレイクダウンによって他のトランジスタに過電圧が印加されるのを防止することができる。

【0022】次に、3 レベルインバータが図 2 に示すモード 2 に従って動作しているときには、図 5 (A) に示すように、トランジスタ 3A がオフで、トランジスタ 3C がオフになっているときに、トランジスタ 3B、3D が交互にオンオフし、負荷から直流電源 1B 側に電流 I<sub>L</sub> が流れる。そしてトランジスタ 3B、3C がオン状態にあるときにトランジスタ 3D がブレイクダウンすると、トランジスタ 3B、3C、3D が同時にオンになったことに相当し、直流電源 1B の両端が短絡し、電源短絡状態となる。この電源短絡が短絡検出回路 6A、6B、短絡検出・遮断回路 5B のいずれかによって検出されると、トランジスタ 3A、3D が制御パターンに従ったタイミングよりも遅れたタイミングでオフになる。その後、トランジスタ 3B、3C のうちトランジスタ 3C がオンに、トランジスタ 3B がオフになる。この場合も、制御パターンのモードによって設定された通常のタイミングよりも遅いタイミングでトランジスタ 3B がオフになる。またトランジスタ 3B、3C のうち一方をオフに選択するに際しては、制御パターンのモード 2 を判別するか負荷電流の流れる方向を判別して行なう。この場合、負荷電流が負荷から電源 1B 側に流れているため、トランジスタ 3B がオフとなる。

【0023】このように、トランジスタ3B、3Cがオンになっているときに、トランジスタ3Dがブレイクダウンしたときには、トランジスタ3Aをオフにした後、トランジスタ3Cをオンに、トランジスタ3Bを通常よりも遅いタイミングでオフにしているため、電源短絡が継続されるのを防止することができるとともに、ブレイクダウンを起こしたトランジスタ3D以外の他のトランジスタに過電圧が印加されるのを防止することができる。

【0024】また前記実施形態においては、電源短絡時の動作について説明したが、負荷電流の異常時においても、トランジスタ3A、3Dをオフにした後、トランジスタ3B、3Cのうち一方をオンに、他方をオンにすることで、電源短絡が継続されるのを防止することができ、負荷電流の異常時に、トランジスタ3A～3Dに過電圧が印加されるのを防止することができるとともに電源短絡が継続されるのを防止することができ、トランジスタの連鎖的な破壊を防止することができる。

【0025】また前記実施形態においては、スイッチング素子としてIGBTを用いたものについて述べたが、自己消弧型の素子として、例えば、ゲート・オフ・サイリスタ(GTO)、電界効果トランジスタ(FET)等を用いることができる。そしてGTO等の素子のときには、電源短絡時や負荷電流の異常時、オフにすべき素子のタイミングを通常のタイミングよりも遅くすることなくオフにすることもできる。

【0026】

【発明の効果】以上説明したように、本発明によれば、電源短絡時あるいは負荷電流の異常時に、各正負主スイッチング素子をオフにし、その後、正負補助スイッチ

グ素子のうち一方をオンに、他方をオフにするようにしたため、電源短絡が継続されるのを防止することができるとともにスイッチング素子に過電圧が印加されるのを防止することができ、スイッチング素子の信頼性の向上に寄与することができる。

【図面の簡単な説明】

【図1】本発明の一実施形態を示す電力変換器の全体構成図である。

【図2】図1に示す電力変換器の制御モードを説明するための波形図である。

【図3】時定数回路の構成説明図である。

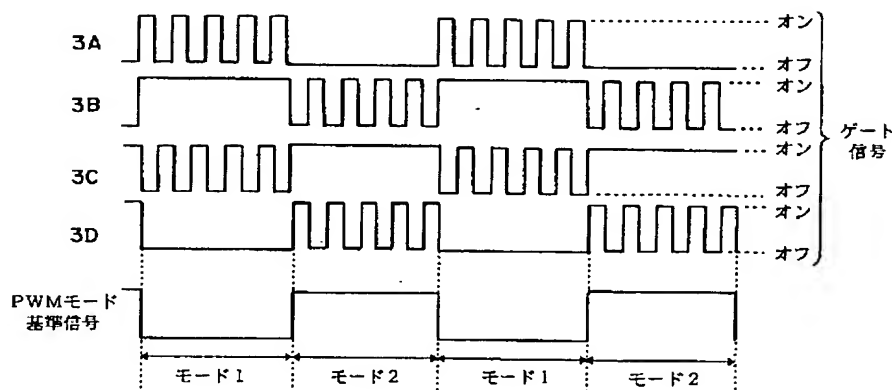
【図4】モード1の動作を説明するための説明図である。

【図5】モード2の動作を説明するための説明図である。

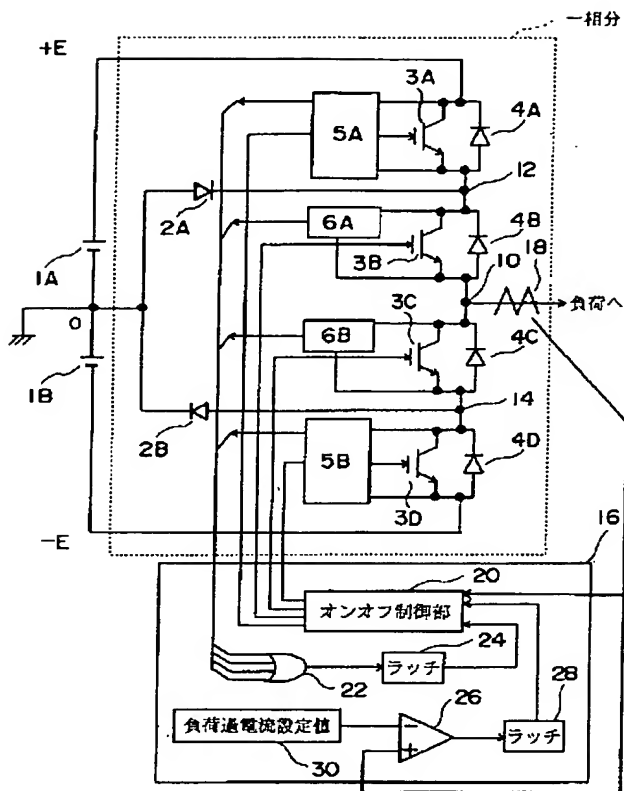
【符号の説明】

- 1 A、1 B 直流電源
- 2 A、2 B クランプダイオード
- 3 A、3 B、3 C、3 D IGBT
- 4 A、4 B、4 C、4 D フリーホイールダイオード
- 5 A、5 B 短絡検出・遮断回路
- 6 A、6 B 短絡検出回路
- 16 ゲート制御部
- 18 負荷電流検出器
- 20 オンオフ制御部
- 22 ORゲート
- 24 ラッチ回路
- 26 比較器
- 28 ラッチ回路

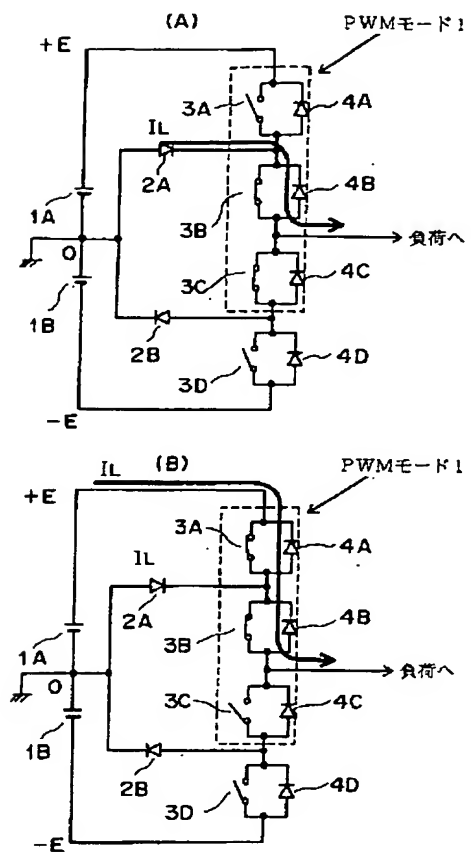
【図2】



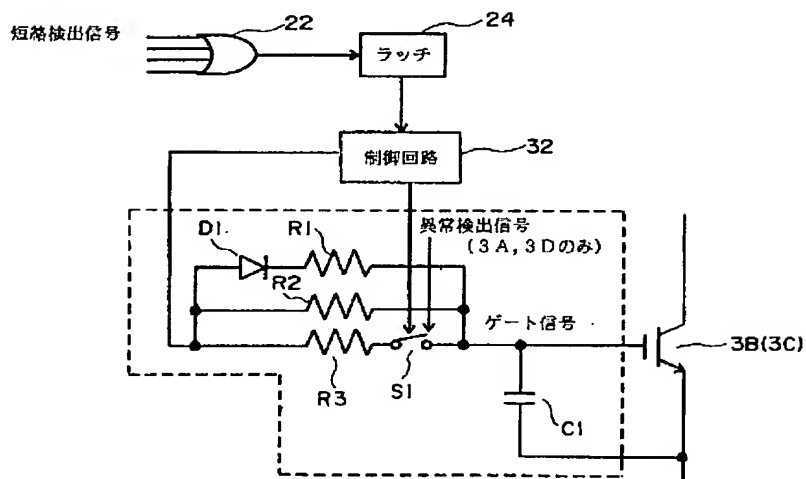
【図1】



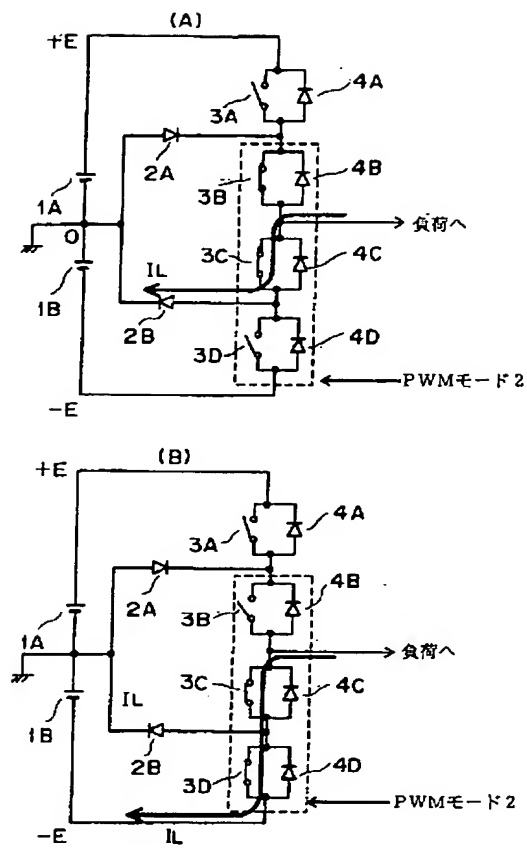
【図4】



【図3】



【図5】



フロントページの続き

(72)発明者 立川 真  
 茨城県日立市大みか町五丁目2番1号 株  
 式会社日立製作所大みか工場内



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**